



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02073747 A**(43) Date of publication of application: **13 . 03 . 90**

(51) Int. Cl.

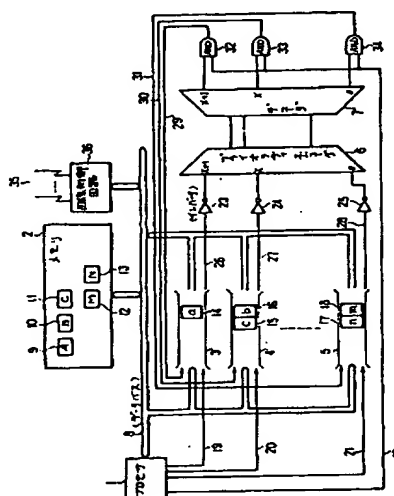
**H04L 12/56**  
**G06F 9/46**
(21) Application number: **63225674**(71) Applicant: **NEC CORP**(22) Date of filing: **09 . 09 . 88**(72) Inventor: **SUZUKI KOJI**
**(54) CIRCUIT CONTROLLING EXCHANGE**  
**PROCESSING WAITING QUEUE WITH PRIORITY**

COPYRIGHT: (C)1990,JPO&amp;Japio

(57) Abstract:

**PURPOSE:** To improve the exchange processing capability of a packet data by reading out with priority address information in the inside of a hardware pointer queue corresponding to a packet data with high priority, if any, when a processor reads out the hardware pointer queue.

**CONSTITUTION:** A memory 12 stores each exchange processing wait queue from lots of kinds of packet data transferred from a subscriber for each data with different exchange processing priority in the descending order from the packet exchange processing with the highest priority depending on the kind. Plural hardware pointer queues 3-5 set a head address of a packet data for each exchange processing wait queue of the packet data. A processor 1 controls it that the address information stored in the inside of the hardware pointer queues 3-5 corresponding to the packet data with high priority is read with priority. Thus, the packet exchange processing capability is improved.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-73747

⑮ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)3月13日

H 04 L 12/56  
G 06 F 9/46

3 4 0 C

7056-5B  
7830-5K

H 04 L 11/20

1 0 2 Z

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 交換処理待ちキュー優先制御回路

⑯ 特 願 昭63-225674

⑰ 出 願 昭63(1988)9月9日

⑱ 発 明 者 鈴木 晃 二 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑳ 代 理 人 弁理士 井ノ口 壽

明 細 書

1. 発明の名称

交換処理待ちキュー優先制御回路

2. 特許請求の範囲

加入者から転送されてきた多種類のバケットデータを、種類に応じて最も優先順位の高いバケット交換処理から順次降順に交換処理の優先度の異なるデータごとに個々の交換処理待ちキューを格納するためのメモリと、前記バケットデータの交換処理待ちキューごとに前記バケットデータの先頭アドレスを設定するための複数のヘッドウェアポインタキューと、前記優先順位の高いバケットデータに対応するヘッドウェアポインタキューの内部に格納されたアドレス情報を優先させて読出すように制御するためのプロセッサとを具備して構成したことを特徴とする交換処理待ちキュー優先制御回路。

8. 発明の詳細な説明

(産業上の利用分野)

本発明はバケット交換機におけるデータ処理方式に関し、特にバケットデータの交換処理の優先制御方式に関する。

(従来の技術)

従来、複数の優先順位の異なるバケットデータの交換処理を行うバケット交換機においては、バケットデータを格納するメモリ上に処理の優先順位の異なるバケットデータごとに交換処理待ちキューを作成している。このため、メモリ上のあらかじめ決められたエリアに待ちキューの有無を示すフラグと、処理待ちキューの先頭のキューの格納アドレスを示すヘッドポインタと、最終キューの格納アドレスを示すテールポインタとを処理待ちキューの種類分だけ設け、最終キューを除くすべてのキューは次のキューの格納アドレスがキュー内の先頭から数えて固定番地となるあらかじめ決められたエリアに格納する方式が採用されている。これにより、同一の優先順位のバケットデータをキューとして連結している。

プロセッサが交換処理を行う場合には、先の固定エリアのキューの有無を示すフラグの情報を優先順位の高いものから順番に読取る。この場合に待ちキューがあれば、待ちキューの先頭キューのアドレスを読出して、そのパケットデータに対する交換処理を実行する。交換処理の終了後、処理の終了したパケットデータを処理待ちキューからはずし、処理待ちキューのヘッドポインタを更新し、待ちキューの有無を示すフラグもキューの有無に応じて更新する。その後、先と同様に交換処理を実行するプロセッサは、処理待ちキューの情報を示す固定エリアを優先順位の高いものから順次調べてゆき、待ちキューのあつたものから処理を実行する。

以上のような方式により、優先順位の高いパケットデータから順次、処理を実行する方式が公知であつた。

(発明が解決しようとする課題)

上述した従来の技術では、プロセッサの実行するソフトウェアにより処理待ちキューの優先順

位の高いものから順次、チェックを行い、交換処理を行つた後、さらにメモリ上のヘッドポインタとフラグとの更新を行つている。このため、上記の従来方式では、実際のパケットデータの交換処理能力が低下するという欠点がある。

本発明の目的は、パケット交換処理において異なる優先順位を有するパケットデータに対して、それぞれ優先順位に対応する複数のハードウェアポインタキューを設け、それぞれのハードウェアポインタキューに同一優先順位を有するパケットデータごとに格納先頭アドレスを設定しておき、プロセッサによりハードウェアポインタキューを読出すに際して優先順位の高いパケットデータに対応するハードウェアポインタキューの内部にアドレス情報があれば、それを優先させて読出すよう制御を行うことにより上記欠点を除去し、処理待ちキューのザラチ、あるいはアドレスポインタの更新に必要なプロセッサの負担を軽減し、パケットデータの交換処理能力を向上させることができるように構成した

交換処理待ちキュー優先制御回路を提供することにある。

(課題を解決するための手段)

本発明による交換処理待ちキュー優先制御回路はメモリと、複数のハードウェアポインタキューと、プロセッサとを具備して構成したものである。

メモリは、加入者から転送されてきた多種類のパケットデータを、種類に応じて最も優先順位の高いパケット交換処理から順次降順に交換処理の優先度の異なるデータごとに個々の交換処理待ちキューを格納するためのものである。

複数のハードウェアポインタキューは、パケットデータの交換処理待ちキューごとにパケットデータの先頭アドレスを設定するためのものである。

プロセッサは、優先順位の高いパケットデータに対応するハードウェアポインタキューの内部に格納されたアドレス情報を優先させて読出すように制御するためのものである。

(実施例)

次に、本発明について図面を参照して説明する。

第1図は本発明による交換処理待ちキュー優先制御回路の一実施例を示すブロック図である。

第1図において、1はプロセッサ、2はメモリ、3～5はそれぞれハードウェアポインタキュー、6はプライオリティエンコーダ、7はデコーダ、8はデータバス、9～13はそれぞれパケットデータ、14～18はそれぞれアドレス情報、23～25はそれぞれインバータ、32～34はそれぞれANDゲート、35は通信回路、36は回報制御回路、19～22、26～31はそれぞれ信号線である。

本実施例におけるパケット交換機は、プロセッサ1によりパケット交換処理を実行するものである。データ通信回路35から受信したパケットデータは、回報制御回路36の制御によりメモリ2に格納される。メモリ2の内部には、すでに受信してメモリ2に格納された第1のバ

ケットデータ9、第2のケットデータ10、第3のケットデータ11、第4のケットデータ12、ならびに第5のケットデータ13が示してある。

第1のケットデータ9は最も交換処理の優先度の高いケットデータである。第2のケットデータ10、ならびに第3のケットデータ11は、それぞれ第1のケットデータ9の次に処理優先度の高いケットデータである。第4のケットデータ12、ならびに第5のケットデータ13は、いずれも処理優先度の最も低いケットデータである。

ファストインファストアウトメモリ(FIFO)を利用したハードウェアポインタキユー3は、最も処理優先度の高い第1のケットデータ9のメモリ2上の格納アドレス" a " 14を格納している。ハードウェアポインタキユー4は2番目に交換処理優先度の高い第2のケットデータ10、および第3のケットデータ11のメモリ2内の格納アドレス" b " 16および

び" c " 15を格納している。ハードウェアポインタキユー5は最も処理優先度の低い第4のケットデータ12、および第5のケットデータ13のメモリ2上の格納アドレス" m " 18および" n " 17を格納している。

データバス8は、プロセサ1がメモリ2へアクセスするときに使用される。すなわち、データの書き込み、および読出し時におけるアクセス。ハードウェアポインタキユー3～5へのアクセス、ならびに回線制御回路36へのアクセスのときにデータバス8が利用される。

信号線19上のハードキユー書き込み信号は、プロセサ1がハードウェアポインタキユー3に対して格納アドレスを書き込むときに使用される。同様に信号線20上のハードキユー書き込み信号は、ハードウェアポインタキユー4～5に対する書き込み時に使用される。信号線26上の空機能信号はハードウェアポインタキユー3の内容が空であるか否かを表示する信号である。同様に信号線27、28上の空き状態信号は、ハードウ

エアポインタキユー4、5の空き状態を表示する信号である。

プライオリタイエンコーダ6は、インバータ23～25を介して入力される空き状態信号のうち、" 1 "となつてゐる複数の信号のなかで最も老番のポートに入力されている信号のポート番号をエンコードして出力する。

デコーダ7は、エンコードされた番号に対応するポートに対して信号を出力する。ANDゲート32～34は信号線22上のハードウェアキユー読取り信号と、デコーダ7の出力信号線との間でAND積を求めるためのものである。ANDゲート32～34の出力は、ハードウェアポインタキユー3～5の読出し端子に入力されている。従つて、プロセサ1がハードウェアポインタキユー3～5の内容を読出すために、信号線22上にハードキユー読取り信号を出力すると、空き状態ではないハードウェアポインタキユーのうちで、最も優先度の高いものの内容が自動的に読出されることになる。信号線2

9～31上のハードキユー読出し信号は、それぞれハードウェアポインタキユー3～5に対するデータの読出し信号である。

次に、本実施例の動作について説明する。

データ通信回線35より受信されたデータは、回線制御回路36の制御によりデータバス28を経てメモリ2内に格納される。ひとつのケットデータの受信が正常に終了すると、プロセサ1は当該ケットデータの制御部を見ることができ、それをもとにして当該ケットデータの処理優先度を知ることができる。該当する優先度のハードウェアポインタキユーでは、ケットデータのメモリ2上の格納アドレスを書き込む処理が実行される。次に、プロセサ1はケットデータの交換処理を行うに際して、メモリ2上のケットデータの格納アドレスを知るために、ハードウェアポインタキユーの読取りを行う。プロセサ1から信号線22上へハードキユー読取り信号が出力されたとき、プライオリタ

イエンコーダ6、およびデコーダ7の動作により、ハードキューの空き信号を出力していないハードウェアポインタキューのなかで最も優先順位の高いものの内容が読出される。第1図では、ハードウェアポインタキュー3のアドレス情報"a"14が読出され、アドレス情報"a"に対応するメモリ2内の第1のバケットデータ9の交換処理が行われ、所定の相手先に対して送出される模様を示している。

さらに、プロセサ1が交換処理を行うためにハードキューの読取りを行うと、ハードウェアポインタキュー3は先の読取りにより空になっているので、ハードウェアポインタキュー4内のアドレス情報"b"16が読出される。

以下、同様にして読出し、および交換処理が繰返される。最も優先順位の低いハードウェアポインタキュー5の読出しが当然、最後となる。以上のように、処理の優先順位の高いバケットデータがあれば、そのデータに対応するアドレス情報がまず読出される。このため、そのバケ

ットデータの到着が時間的にみて最後であつても、優先して処理される。

同一優先順位のバケットデータが複数ある場合には、時間的にデータの到着が古いものから順番に読出されて処理が実行される。

#### (発明の効果)

以上説明したように本発明は、複数の処理の優先順位の異なるバケットデータの交換処理を行うに際し、処理待ちキューの優先順位をプロセサが処理上意識することなく、ハードウェアポインタキューから読出されたアドレス情報を元にして処理を行うことにより、自動的に優先順位に応じた処理が行なわれることになると云う効果がある。さらに、メモリ内の処理待ちキューの増加、または減少時のヘッドポインタ、テールポインタ、あるいはフラグなどの更新処理も不用になると云う効果がある。これにより、処理待ちキューのサーチやキューの操作に対する処理は明らかに軽減されるため、本来のバケット交換処理能力が向上するという効果がある。

#### 4.図面の簡単な説明

第1図は、本発明による交換処理待ちキュー優先制御回路の一実施例を示すブロック図である。

- 1…プロセサ                      2…メモリ
- 3～5…ハードウェアポインタキュー
- 6…プライオリティエンコーダ
- 7…デコーダ                      8…データバス
- 9～13…バケットデータ
- 14～18…アドレス情報
- 23～25…インバータ
- 32～34…ANDゲート
- 35…データ通信回路
- 36…回路制御回路
- 19～22, 26～31…信号線

特許出願人    日本電気株式会社

代理人    弁理士    井   ノ   口   壽

図 1

